**ĐẠI HỌC QUỐC GIA TP HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC BÁCH KHOA**

**🙞···☼···🙜**

****

**BÁO CÁO LAB 7**

LỚP: L06

NHÓM: 8

|  |  |
| --- | --- |
| **Họ và tên** | **Mã số sinh viên** |
| Lê Võ Đăng Khoa | 2211606 |
| Võ Xuân Hạ | 2210916 |
| Nguyễn Thị Hiền Hạnh | 2210920 |
| Thái Trí Thịnh | 2213308 |

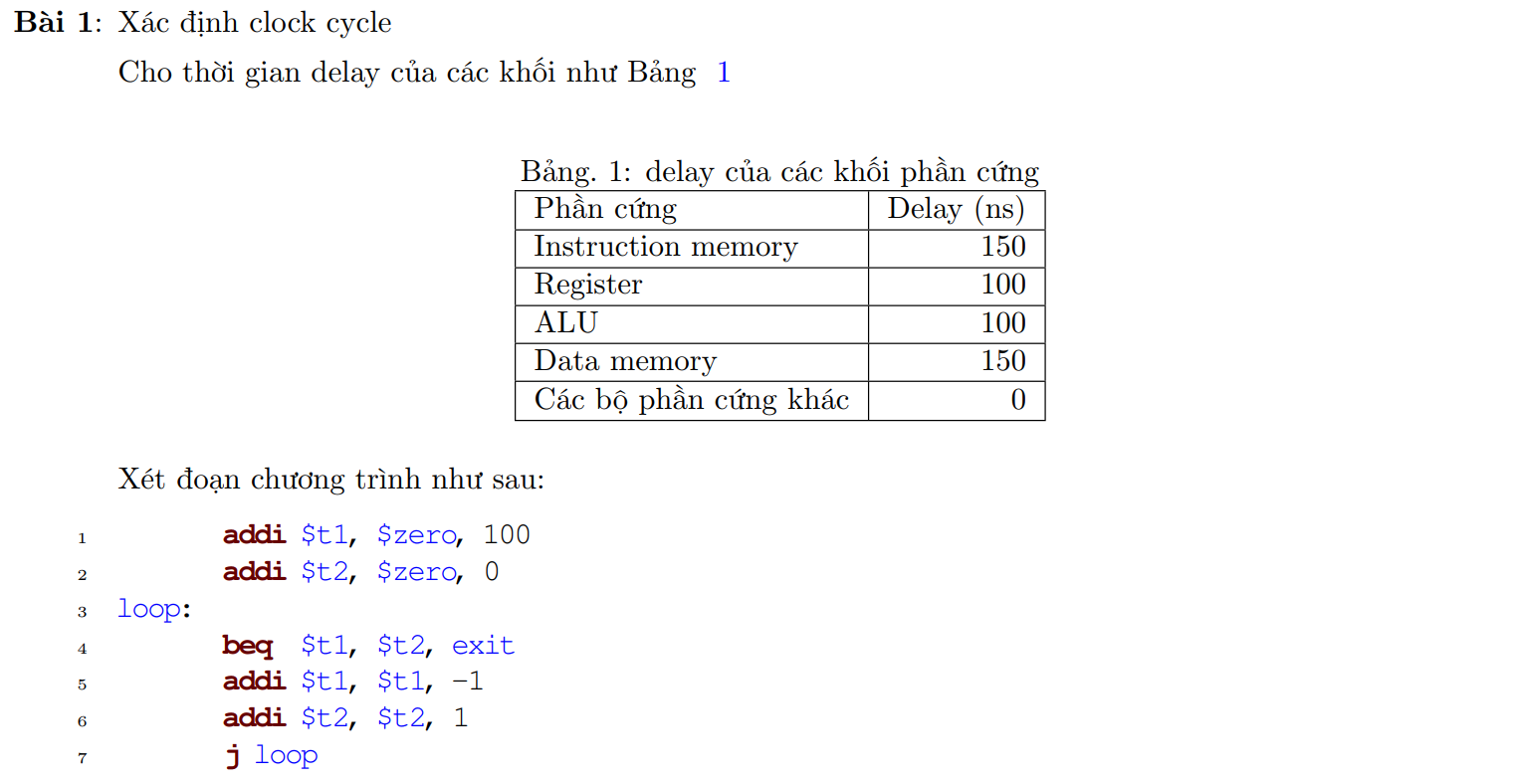
*Thành phố Hồ Chí Minh, tháng 12, năm 2023*

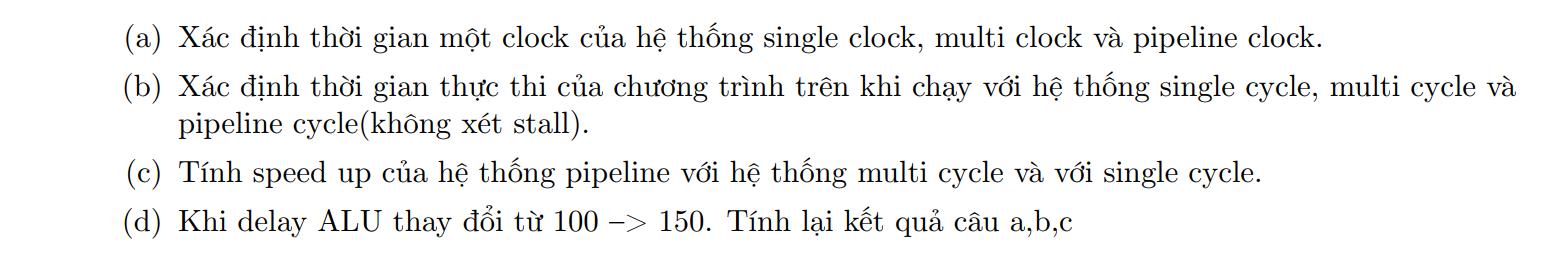
Mục lục

**Bài 1: Xác định clock cycle3**

**Bài 2: Xử lý Hazard4**

**Bài 3: Xử lý Hazard (lệnh Load)5**





**(a)** Thời gian một clock:

* Single clock: Clock\_time = Instruction memory + Register + ALU + Data memory = 500 ns
* Multi clock: Clock\_time = Instruction memory hoặc Data memory = 150 ns
* Pipeline clock: Clock\_time = Instruction memory hoặc Data memory = 150 ns

**(b)** Chương trình có:

IC\_ALU = 102 lệnh

IC\_Branch = 51 lệnh

IC\_Jump = 50 lệnh

IC = IC\_ALU + IC\_Branch + IC\_Jump = 102 + 51 + 50 = 203

* Single cycle: CPU\_time = Clock\_time\*IC = 500\*203 = 101500ns
* Multi cycle:

|  |  |
| --- | --- |
| **Lệnh** | **Số chu kì** |
| ALU | 4 |
| Branch | 3 |
| Jump | 2 |

* CPU\_time = Clock\_time\*(4\*ICALU + 3\*ICBranch + 2\*ICJump) = 150\*(4\*102 + 3\*51 + 2\*50) = 99150 ns
* Pipeline cycle: CPU\_time = (Số chu kì thực hiện lệnh đầu tiên + IC - 1)\*Clock\_time = (5 + 203 - 1)\*150 = 31050 ns

**(c)**

* Speed up của Pipeline so với Single cycle: Tsingle/ Tpipeline =101500 / 31050 = 3.269
* Speed up của Pipeline so với Multi cyclce: Tmulti/ Tpipeline =99150 / 31050 = 3.193

**(d)** Thời gian một clock:

* Single clock: Clock\_time = Instruction memory + Register + ALU + Data memory = 550 ns
* Multi clock: Clock\_time = Instruction memory hoặc Data memory = 150 ns
* Pipeline clock: Clock\_time = Instruction memory hoặc Data memory = 150 ns

Tính thời gian thực thi:

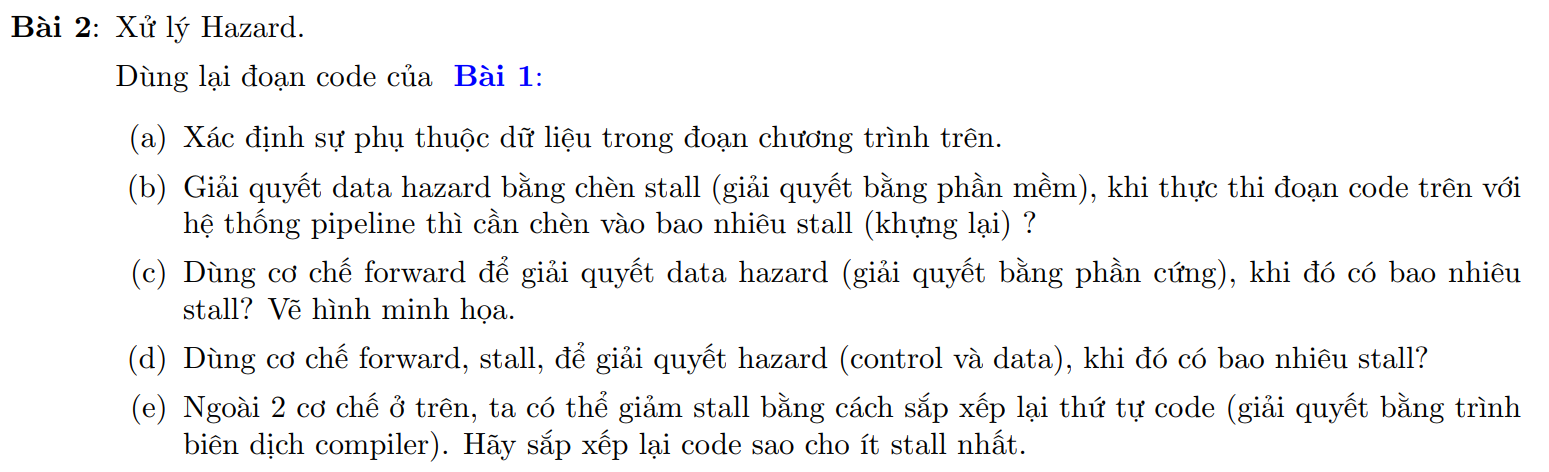
* Single cycle: CPU\_time = Clock\_time\*IC = 550\*203 = 111650 ns
* Multi cycle:

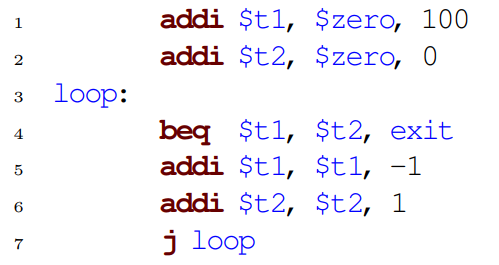
|  |  |
| --- | --- |
| **Lệnh** | **Số chu kì** |
| ALU | 4 |
| Branch | 3 |
| Jump | 2 |

* CPU\_time = Clock\_time\*(4\*IC\_ALU + 3\*IC\_Branch + 2\*IC\_Jump) = 150\*(4\*102 + 3\*51 + 2\*50) = 99150 ns
* Pipeline cycle: CPU\_time = (Số chu kì thực hiện lệnh đầu tiên + IC - 1)\*Clock\_time = (5 + 203 - 1)\*150 = 31050 ns

Tính speedup:

* Speed up của Pipeline so với Single cycle: T\_single/ T\_pipeline =111650 / 31050 = 3.596
* Speed up của Pipeline so với Multi cyclce: T\_multi/ T\_pipeline =99150 / 31050 = 3.193

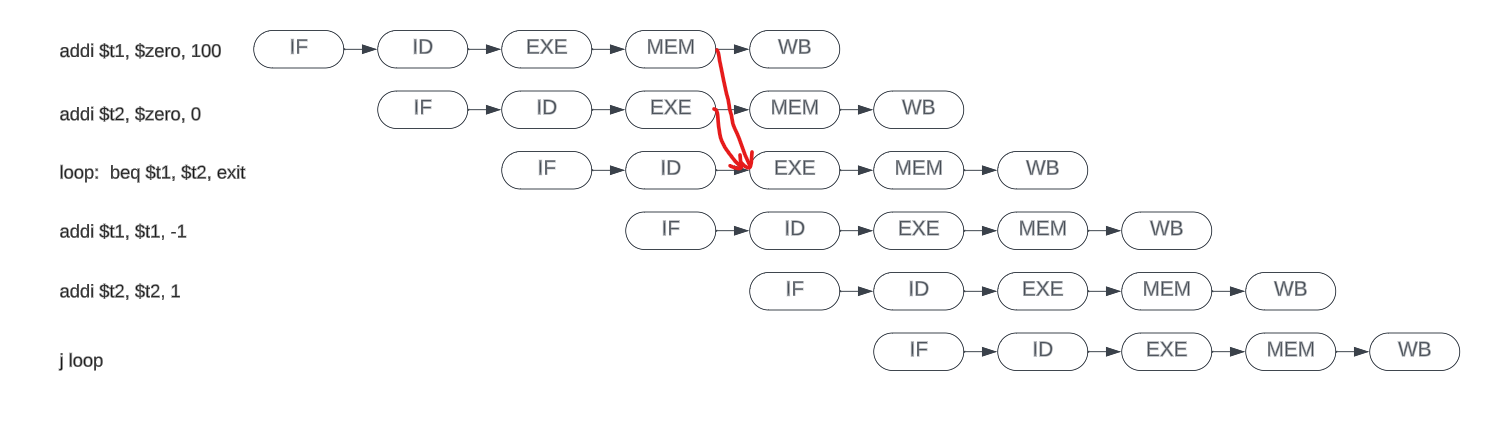




**(a)** Lệnh 3 yêu cầu dữ liệu được ghi vào $t1 và $t2 của lệnh 1, 2 và lệnh 4, 5

**(b)** Chèn 2 stall giữa (2) và (3) và 1 stall sau lệnh 6 (do sau J là beq), vì vòng lặp chạy 50 lần nên cần tổng cộng 50 + 2 = 52 stalls

**(c)** Không cần chèn stall



**(d)** - Không có so sánh sớm:

3 stall giữa (3) và (4) ; 1 stall sau (6)

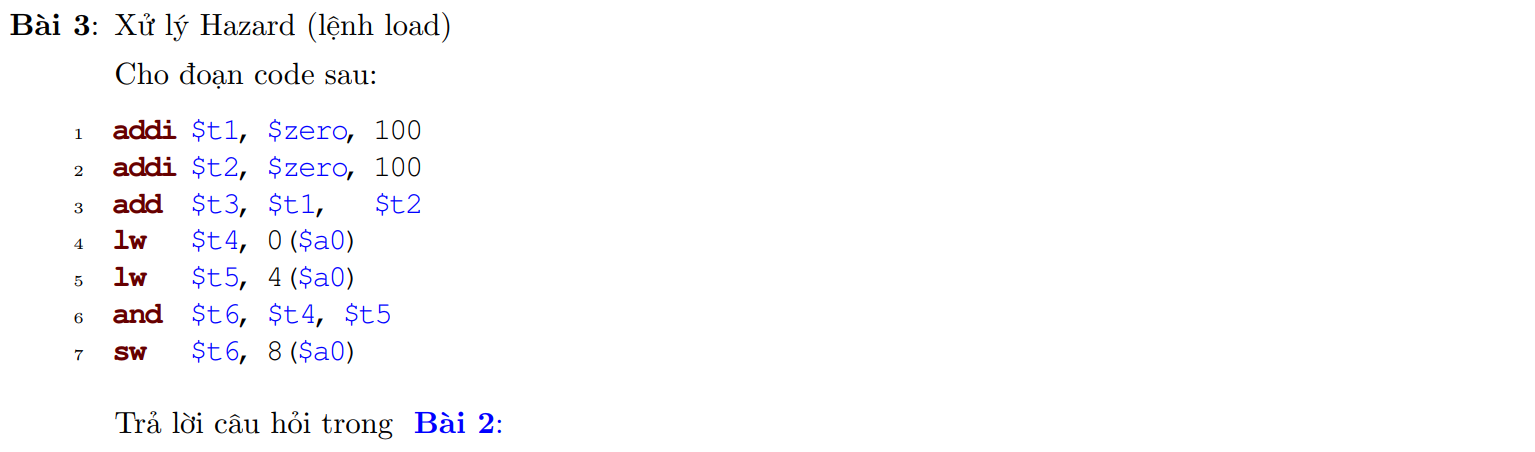
Tổng: 4\*50 + 3 = 203 stalls

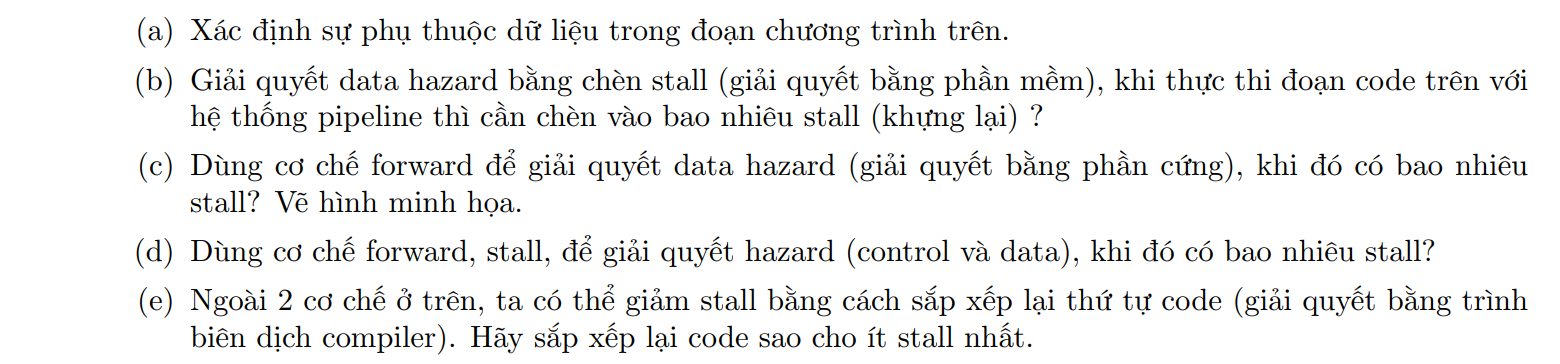
- Có so sánh sớm:

1 stall giữa (2) và (3); 1 stall giữa (3) và (4); 1 stall sau (6)

Tổng : 1 + 2\*50 + 1 = 102 stalls

**(e)** Không thể sắp xếp để tối ưu hơn được nữa





**(a)** Lệnh 3 yêu cầu dữ liệu được ghi vào $t1 và $t2 từ lệnh 1, 2

Lệnh 6 yêu cầu dữ liệu được ghi vào $t4 và $t5 từ lệnh 4, 5

Lệnh 7 yêu cầu dữ liệu được ghi vào $t6 từ lệnh 6

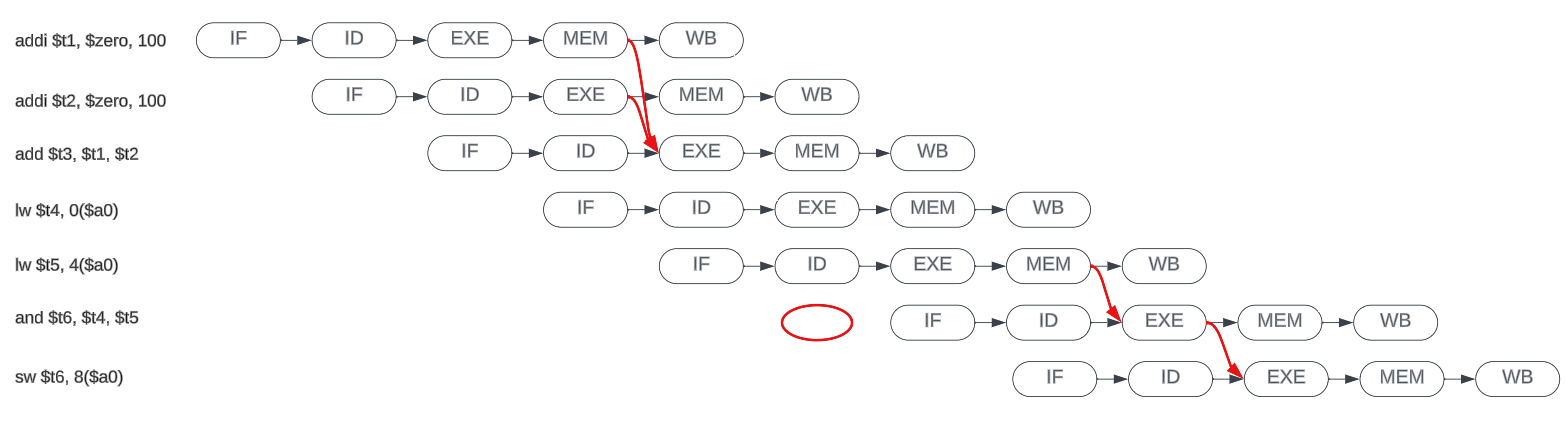
**(b)**

Giữa (2) và (3) : 2 stalls

Giữa (5) và (6) : 2 stalls

Giữa (6) và (7) : 2 stalls

**(c)** Có 1 stall giữa (5) và (6)



**(d)** Vì không có lệnh branch nên không đề cập đến

**(e)** Sắp xếp:

1. lw $t4, 0($a0)

2. lw $t5, 4($a0)

3. addi $t1, $zero, 100

4. addi $t2, $zero, 100

5. and $t6, $t4, $t5

6. add $t3, $t1, $t2

7. sw $t6, 8($a0)

- TH1: Chỉ cần thêm 1 stall ở giữa (5) và (6) nếu không có forwarding

- TH2: Không cần chèn stall nếu có forwarding